

PAT-NO: JP403089524A

DOCUMENT-IDENTIFIER: JP 03089524 A

TITLE: SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

PUBN-DATE: April 15, 1991

INVENTOR-INFORMATION:

NAME

HORIE, HIROSHI

ASSIGNEE-INFORMATION:

NAME

FUJITSU LTD

COUNTRY

N/A

APPL-NO: JP01225882

APPL-DATE: August 31, 1989

INT-CL (IPC): H01L021/331, H01L029/73

US-CL-CURRENT: 438/365, 438/FOR.165

ABSTRACT:

PURPOSE: To lower collector resistance remarkable by selectively etching to remove a collector buried layer having high impurity concentration through an opening to form a cavity section, burying a metal or a metallic silicide into the cavity section and the opening, and forming a collector buried electrode.

CONSTITUTION: An N<SP>+</SP> type buried layer 53 and the expanded section of the layer 53 are removed selectively through an opening 18 for leading out a buried electrode through wet etching, and a cavity section 19 is shape at the removed sections. A WSi<SB>2</SB> layer 103 is shaped with such thickness, in which the cavity section 19 and the opening 18 are buried completely, on an Si<SB>3</SB>N<SB>4</SB> film 16 including the cavity section 19 and the inside of the opening 18 for leading out the buried electrode through a chemical vapor growth(CVD) method. The WSi<SB>2</SB> layer 103 on the Si<SB>3</SB>N<SB>4</SB> film 16 is removed through etchback, and the WSi<SB>2</SB> layer 103 in the

opening 18 for leading out the buried electrode is over-etched approximately up to the position of the top face of a collector epitaxial layer 2. A WSi<sub>2</sub> collector buried electrode 3 buried into the cavity section 19 and WSi<sub>2</sub> collector buried electrode leading-out section 3P buried into the opening 18 are formed at that time.

COPYRIGHT: (C)1991,JPO&Japio

DERWENT-ACC-NO: 1991-153379

DERWENT-WEEK: 199121

COPYRIGHT 2006 DERWENT INFORMATION LTD

TITLE: Bipolar transistor - has metal or metal silicide  
collector buried in boundary between p=type silicon  
substrate and p=type semiconductor layer NoAbstract Dwg  
1/5

PATENT-ASSIGNEE: FUJITSU LTD[FUIT]

PRIORITY-DATA: 1989JP-0225882 (August 31, 1989)

PATENT-FAMILY:

| PUB-NO        | PUB-DATE       | LANGUAGE | PAGES | MAIN-IPC |
|---------------|----------------|----------|-------|----------|
| JP 03089524 A | April 15, 1991 | N/A      | 000   | N/A      |

APPLICATION-DATA:

| PUB-NO       | APPL-DESCRIPTOR | APPL-NO        | APPL-DATE       |
|--------------|-----------------|----------------|-----------------|
| JP 03089524A | N/A             | 1989JP-0225882 | August 31, 1989 |

INT-CL (IPC): H01L021/33, H01L029/73

ABSTRACTED-PUB-NO:

EQUIVALENT-ABSTRACTS:

TITLE-TERMS: BIPOLAR TRANSISTOR METAL METAL SILICIDE COLLECT  
BURY BOUNDARY

P=TYPE SILICON SUBSTRATE P=TYPE SEMICONDUCTOR LAYER  
NOABSTRACT

DERWENT-CLASS: U11

EPI-CODES: U11-C18A; U11-D01A;

SECONDARY-ACC-NO:

Non-CPI Secondary Accession Numbers: N1991-117671

## ⑫ 公開特許公報(A) 平3-89524

⑬ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)4月15日

H 01 L 21/331  
29/73

8225-5F H 01 L 29/72

審査請求 未請求 請求項の数 3 (全7頁)

⑮ 発明の名称 半導体装置及びその製造方法

⑯ 特 願 平1-225882

⑰ 出 願 平1(1989)8月31日

⑱ 発 明 者 堀 江 博 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内

⑲ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑳ 代 理 人 弁理士 井 桁 貞一

## 明 細 書

## 1. 発明の名称

半導体装置及びその製造方法

## 2. 特許請求の範囲

(1) 一導電型半導体基板と、

該一導電型半導体基板上に載設されたコレクタ領域となる反対導電型半導体層と、

該反対導電型半導体層上への引出し部を有して該一導電型半導体基板と該反対導電型半導体層との界面に埋込まれた金属若しくは金属シリサイドからなるコレクタ埋込み電極と、

該コレクタ埋込み電極上の該反対導電型半導体層に形成された一導電型ベース領域と、

該ベース領域内に形成された反対導電型エミッタ領域とを有することを特徴とする半導体装置。

(2) 前記コレクタ埋込み電極の周囲に沿って反対導電型不純物拡散領域が設けられたことを特徴とする請求項1記載の半導体装置。

(3) 一導電型半導体基板に選択的に該半導体基板

より高不純物濃度の反対導電型高濃度拡散領域を形成する工程、

該反対導電型高濃度拡散領域を有する該半導体基板上に該反対導電型高濃度拡散領域より低不純物濃度を有し且つ該半導体基板より高不純物濃度を有する反対導電型半導体エピタキシャル層を形成する工程、

該エピタキシャル層に該反対導電型高濃度拡散領域若しくはその該エピタキシャル層内への拡大領域の一部を表出する開孔を形成する工程、

不純物濃度の高低によるエッチングレートの違いにより、該開孔を介し該反対導電型高濃度拡散領域及びその拡大領域を選択的にエッチング除去しその部分に空洞を形成する工程、

該空洞及び該開孔内に金属若しくは金属シリサイドを充填する工程を含むことを特徴とする半導体装置の製造方法。

## 3. 発明の詳細な説明

## (概 要)

バイポーラ型半導体装置及びその製造方法、特にコレクタ層の下部に埋込まれコレクタ層上への導出部を有するコレクタ埋込み電極の構造及び形成方法に関し、

コレクタ埋込み層及び引出し層を高不純物ドーブの半導体層よりも比抵抗の小さい物質に変えてコレクタ抵抗を大幅に減少させることを目的とし、

半導体装置は、一導電型半導体基板と、該一導電型半導体基板上に載設されたコレクタ領域となる反対導電型半導体層と、該反対導電型半導体層上への引出し部を有して該一導電型半導体基板と該反対導電型半導体層との界面に埋込まれた金属若しくは金属シリサイドからなるコレクタ埋込み電極と、該コレクタ埋込み電極上の該反対導電型半導体層に形成された一導電型ベース領域と、該ベース領域内に形成された反対導電型エミッタ領域とを有して構成され、製造方法は、高不純物濃度のコレクタ埋込み層を開孔を介して選択的にエッチング除去して空洞部となし、その空洞部及

び上記開孔内に金属若しくは金属シリサイドを埋込んでコレクタ埋込み電極を形成する工程を含んで構成される。

## (産業上の利用分野)

本発明はバイポーラ型半導体装置及びその製造方法、特にコレクタ層の下部に埋込まれコレクタ層上への導出部を有するコレクタ埋込み電極の構造及び形成方法に関する。

近時、コンピュータの計算規模の拡大にともない、これに使用されるバイポーラ型半導体装置の動作速度の向上が望まれている。

そこで本発明においては、コレクタ抵抗を減少することによって動作抵抗を減少させ、これによってバイポーラ型半導体装置の動作速度の向上を図ろうとするものである。

## (従来の技術)

第5図は従来のバイポーラ型半導体装置の一例の要部を示す模式側断面図で、51はp型シリコン

(Si)基板、52はn型コレクタエピタキシャル層、53はn<sup>+</sup>型コレクタ埋込み層、54は絶縁物分離領域、55はn<sup>+</sup>型コレクタ引出し層、56はp型ベース領域、57はn<sup>+</sup>型エミッタ領域、58は第1の絶縁膜、59はポリSiエミッタ電極、60は第2の絶縁膜、61はコンタクト窓、62はコレクタ配線、63はベース配線、64はエミッタ配線を示す。

## (発明が解決しようとする課題)

上記第5図に示されるように従来のバイポーラ型半導体装置においては、コレクタ配線62からエミッタ領域57の直下の動作領域Aの下部に達するコレクタの埋込み層53及びその引出し層55が例えばn<sup>+</sup>層即ち高濃度に不純物をドーブした半導体層で形成されていたために、その比抵抗の下限値が制限されてコレクタ抵抗が十分に下がらず、動作速度の向上が十分になし得なかった。

そこで本発明は、コレクタ埋込み層及び引出し層を高不純物ドーブの半導体層よりも比抵抗の小さい物質に変えて、コレクタ抵抗を大幅に減少さ

せることを目的とする。

## (課題を解決するための手段)

上記課題は、一導電型半導体基板と、該一導電型半導体基板上に載設されたコレクタ領域となる反対導電型半導体層と、該反対導電型半導体層上への引出し部を有して該一導電型半導体基板と該反対導電型半導体層との界面に埋込まれた金属若しくは金属シリサイドからなるコレクタ埋込み電極と、該コレクタ埋込み電極上の該反対導電型半導体層に形成された一導電型ベース領域と、該ベース領域内に形成された反対導電型エミッタ領域とを有する本発明による半導体装置、及び

一導電型半導体基板に選択的に該半導体基板より高不純物濃度の反対導電型高濃度拡散領域を形成する工程、該反対導電型高濃度拡散領域を有する該半導体基板上に該反対導電型高濃度拡散領域より低不純物濃度を有し且つ該半導体基板より高不純物濃度を有する反対導電型半導体エピタキシャル層を形成する工程、該エピタキシャル層に

該反対導電型高濃度拡散領域若しくはその該エビタキシャル層内への拡大領域の一部を表出する開孔を形成する工程、不純物濃度の高低によるエッチングレートの差により、該開孔を介し該反対導電型高濃度拡散領域及びその拡大領域を選択的にエッチング除去しその部分に空洞を形成する工程、該空洞及び該開孔内に金属若しくは金属シリサイドを充填する工程を含む本発明による半導体装置の製造方法によって解決される。

#### (作用)

即ち本発明は、従来の高不純物濃度を有する半導体層からなるコレクタ埋込み層を、コレクタエビタキシャル層の表面から上記コレクタ埋込み層に達する開孔を介し、不純物濃度の高低により大きなエッチングレートの差を生ずるエッチング手段により選択的にエッチング除去してその部分に空洞を形成し、この空洞部と上記エッチング用の開孔内に気相成長法等により半導体材料に比べて比抵抗の著しく小さい金属或いは金属シリサイド

層を埋込むことによってコレクタエビタキシャル層の下部にコレクタエビタキシャル層表面への引出し部を有するコレクタ埋込み電極を形成する。そしてこのコレクタ埋込み電極上のコレクタエビタキシャル層に能動領域であるベース領域及びエミッタ領域を形成する。

この低比抵抗材料によるコレクタ埋込み電極によって配線からエミッタ直下の能動領域に達するコレクタ抵抗は大幅に低減されるので、その分バイポーラ型半導体装置の動作速度が向上する。

なおコレクタ埋込み電極に接する半導体基板の比抵抗が低い場合にはコレクタ埋込み電極の周囲に基板との間に接合を形成する不純物拡散領域を設け、コレクタ埋込み電極から基板への電流リークを防止する。

#### (実施例)

以下本発明を、図示実施例により具体的に説明する。

第1図は本発明に係る半導体装置の一実施例の

模式側断面図、第2図(a)~(f)は本発明の方法の一実施例の工程断面図、第3図は本発明に係る半導体装置の他の実施例の模式側断面図、第4図(a)~(b)は本発明の方法の他の実施例の工程断面図である。

全図を通じ同一対象物は同一符号で示す。

本発明に係るバイポーラ型半導体装置の一実施例を示す第1図において、

1はボロン(B)ドーパで $50 \sim 100 \Omega \text{cm}$ 程度の高比抵抗を有する $p^-$ 型Si基板、

2は $10^{17} \text{cm}^{-3}$ 程度の不純物濃度を有しコレクタ層となる $n$ 型エビタキシャル層( $n$ 型コレクタエビタキシャル層)、

3は $p^-$ 型Si基板1と $n$ 型コレクタエビタキシャル層2の界面に埋込まれた例えばタングステンシリサイド( $\text{WSi}_2$ )からなるコレクタ埋込み電極、

3Pは $\text{WSi}_2$ コレクタ埋込み電極3のエビタキシャル層2表面への引出し部、

4は絶縁物分離領域、

5は $\text{WSi}_2$ コレクタ埋込み電極3上部の $n$ 型コレ

クタエビタキシャル層2に形成された不純物濃度 $10^{18} \text{cm}^{-3}$ 程度の不純物濃度を有する $p$ 型ベース領域、

6は例えば二酸化シリコン( $\text{SiO}_2$ )からなる第1の絶縁膜、

7はベース領域5を表出するエミッタ拡散窓、

8は $10^{18} \text{cm}^{-3}$ 程度の不純物濃度を有する $n^+$ 型ポリSiエミッタ電極、

9は不純物濃度 $10^{18} \text{cm}^{-3}$ 程度の $n^+$ 型エミッタ領域、

10は例えば燐珪酸ガラス(PSG)からなる第2の絶縁膜、

11Aはコレクタ埋込み電極3の引出し部3Pの上面を表出するコレクタコンタクト窓、

11Bはベース領域5の上面を表出するベースコンタクト窓、

11Cは $n^+$ 型ポリSiエミッタ電極の上面を表出するエミッタコンタクト窓、

12はアルミニウム合金等からなるコレクタ配線、

13は同じくベース配線、

14は同じくエミッタ配線を示す。

なおこの構造は、上記のように基板の比抵抗が高く、コレクタ埋込み電極3から基板1への電流リーク量が無視できる程度に小さい場合に適用される。

この実施例に示す構造は、以下に第2図(a)~(f)の工程断面図を参照して説明する本発明の方法の一実施例によって形成される。

#### 第2図(a)参照

即ち、前記した50~100  $\Omega\text{cm}$ 程度の高比抵抗を有するp<sup>-</sup>型Si基板1上に従来同様の方法により選択的に $10^{18}\text{cm}^{-3}$ 程度の高不純物濃度を有するn<sup>+</sup>型埋込み層53を形成し、この基板上に $10^{17}\text{cm}^{-3}$ 程度の不純物濃度を有するn型コレクタエピタキシャル層2を形成し(ここで熱拡散により前記n<sup>+</sup>型埋込み層53はエピタキシャル層2内へも拡大する)、次いで上記コレクタエピタキシャル層2上に100Å程度の熱酸化膜15を形成し、次いでその上にエッチングマスクになる厚さ1500Å程

に除去し、その部分に空洞部19を形成する。

なお上記エッチング方法において、不純物濃度に $10^{18}\text{cm}^{-3}$ と $10^{17}\text{cm}^{-3}$ 程度の差があれば100倍以上の選択比が得られる。

また、この選択エッチングは、塩素( $\text{Cl}_2$ )ガスを用いた光エッチングによっても行い得る。

#### 第2図(d)参照

次いで反応ガスに6弗化タングステン( $\text{WF}_6$ )とモノシラン( $\text{SiH}_4$ )を用い500℃程度の温度で行われる周知の化学気相成長(CVD)法により前記空洞部19、埋込み電極引出し用開孔18の内部を含む $\text{Si}_3\text{N}_4$ 膜16上に、上記空洞部19及び開孔18を完全に埋める厚さにタングステンシリサイド( $\text{WSi}_2$ )層103を形成する。

#### 第2図(e)参照

次いでCl系のガスを用いる周知のエッチバック手段により $\text{Si}_3\text{N}_4$ 膜16上の $\text{WSi}_2$ 層103を除去し、且つ埋込み電極引出し用開孔18内の $\text{WSi}_2$ 層103をほぼコレクタエピタキシャル層2上面の位置までオーバーエッチングする。

度の窒化シリコン( $\text{Si}_3\text{N}_4$ )膜16を気相成長(CVD)法により形成し、次いでエッチング手段に例えば

4弗化炭素( $\text{CF}_4$ )ガスによるリアクティブイオンエッチング(RIE)法を用いる周知のフォトリソグラフィ技術により上記 $\text{Si}_3\text{N}_4$ 膜16及びその下部の熱酸化膜15に、埋込み電極引出し用開孔を形成するためのエッチング窓17を形成する。

#### 第2図(b)参照

次いで、上記 $\text{Si}_3\text{N}_4$ 膜16をマスクにしエッチング窓17を介して塩素(Cl)系のガスを用いる周知のRIE処理により、コレクタエピタキシャル層2にn<sup>+</sup>型埋込み層53(拡大部を含む)を表出する埋込み電極引出し用開孔18を形成する。

#### 第2図(c)参照

次いで、エッチングレートが不純物濃度に依存して大きく変化するエッチング方法、例えば弗酸(HF):硝酸( $\text{HNO}_3$ ):酢酸( $\text{CH}_3\text{COOH}$ )=1:3:8の組成を有するエッチング液によるウェットエッチング手段により前記埋込み電極引出し用開孔18を介しn<sup>+</sup>型埋込み層53及びその拡大部を選択的

ここで、前記空洞部19内に埋込まれた $\text{WSi}_2$ コレクタ埋込み電極3及び前記開孔18内に埋込まれた $\text{WSi}_2$ コレクタ埋込み電極引出し部3Pが形成される。

#### 第2図(f)参照

次いで $\text{Si}_3\text{N}_4$ 膜16を例えば磷酸煮沸処理で除去し、その下部の熱酸化膜15を弗酸等によりウォッシュアウトした後、通常行われる方法により、埋込み電極3上のコレクタエピタキシャル層2にp型ベース領域5を形成し、この基板上に厚さ3000Å程度の例えば二酸化シリコン( $\text{SiO}_2$ )からなる第1の絶縁膜6を形成し、この絶縁膜6にエミッタ拡散窓7を形成し、このエミッタ拡散窓7上に砒素(As)を高濃度に含んだn<sup>+</sup>型ポリSiエミッタ電極8を形成し熱処理による固相拡散によりn<sup>+</sup>型エミッタ領域9を形成し、この表面上にPSG等からなる厚さ3000Å程度の第2の絶縁膜10を形成し、次いでこの第2の絶縁膜10にエミッタ電極9を表出するエミッタコンタクト窓11Cを形成すると同時に、第2、第1の絶縁膜10、6を貫通し前記 $\text{WSi}_2$ コレクタ埋込み電極引出し部3Pの上面を表出す

るコレクタコンタクト窓11A及びベース領域5を  
表出するベースコンタクト窓11Bを形成し、次い  
で各コンタクト窓上に例えばアルミニウム合金等  
からなるコレクタ配線12、ベース配線13、エミッ  
タ配線14を形成し、以後図示しない被覆絶縁膜の  
形成等がなされ本発明に係るバイポーラ型半導体  
装置が完成する。

第3図は通常の数 $\Omega\text{cm}$ 程度の低比抵抗を有する  
例えばp型Si基板201を用いる場合に適用される  
本発明の構造の実施例を示し、図中、203はn型  
不純物を高濃度に含んだ $\text{HSi}_2$ コレクタ埋込み電極、  
203Pは同 $\text{HSi}_2$ コレクタ埋込み電極引出し部、20は  
n<sup>+</sup>型不純物拡散領域、その他の符号は第1図と  
同一対象物を示す。

なおこの構造においては、p型Si基板201とコ  
レクタ埋込み電極203との間にn<sup>+</sup>型不純物拡散  
領域20によってp-n接合(J)が形成されるので、  
Si基板201が低比抵抗であってもコレクタ埋込み  
電極203から基板201への電流リークは生ぜず、  
素子間の分離が損なわれることはない。

なお本発明に係るコレクタ埋込み電極は前記空  
洞部内にめっき法等により高融点を有する金属を  
充填することによっても形成されるが、低比抵抗  
を有する基板が用いられる場合には、空洞部形成  
後ガス拡散等により空洞部の周囲に基板に対して  
p-n接合を形成する不純物拡散領域を形成し、  
その後空洞部内にめっき法等による金属の充填を  
行えばよい。

以上実施例に示したように本発明に係るバイ  
ポーラ型半導体装置においては、コレクタ埋込み  
電極及びその引出し部が金属シリサイド或いは金  
属によって形成されるので、埋込み電極の上部に  
形成されるトランジスタの能動領域から配線に達  
するコレクタ抵抗が、不純物を高濃度にドーブシ  
た半導体層で形成された従来構造に比べて1~2  
桁程度低減される。

従って本発明によればバイポーラ型半導体装置  
の動作速度を従来より1~2桁程度向上させるこ  
とが可能になる。

なお本発明は、pnp型のバイポーラ半導体装

上記第3図に示す構造の半導体装置は、前記一  
実施例の方法において第2図(c)に示すように $\text{HSi}_2$   
コレクタ埋込み電極3が形成された後、第4図(a)  
に示すように $\text{Si}_3\text{N}_4$ 膜16をマスクにして上記コレ  
クタ埋込み電極引出し部3Pの上面に選択的に砒素  
(As<sup>+</sup>)を $10^{20}\text{cm}^{-3}$ 程度の高濃度にイオン注入し  
(nはn型不純物注入領域)、次いで例えば900  
℃程度の温度で30分程度熱処理を行い上記注入砒  
素を前記引出し部3P及び $\text{HSi}_2$ コレクタ埋込み電極  
3を介しこれら $\text{HSi}_2$ コレクタ埋込み電極3(3Pを  
含む)の周囲の基板201及びエピタキシャル層2  
に拡散させ、第4図(b)に示すように引出し部3Pを  
含む $\text{HSi}_2$ コレクタ埋込み電極3の周囲に沿った  
n<sup>+</sup>型不純物拡散領域20が形成される。

なお上記熱処理により $\text{HSi}_2$ コレクタ埋込み電極  
3及びその引出し部3Pはn型不純物を高濃度に含  
んだ $\text{HSi}_2$ コレクタ埋込み電極203及びその引出し  
部203Pとなる。

以後の製造工程は、前記実施例において第2図  
(f)を参照して説明した方法と同様である。

置にも適用される。

#### (発明の効果)

以上説明のように本発明によればバイポーラ型  
半導体装置のコレクタ抵抗を従来に比べ大幅に低  
減できるので、バイポーラ型半導体装置の高速化  
が図れる。

#### 4.図面の簡単な説明

第1図は本発明の構造に係る一実施例の模式側  
断面図、

第2図(a)~(f)は本発明の方法の一実施例の工程  
断面図、

第3図は本発明の構造に係る他の実施例の模式  
側断面図、

第4図(a)~(b)は本発明の方法の他の実施例の工  
程断面図、

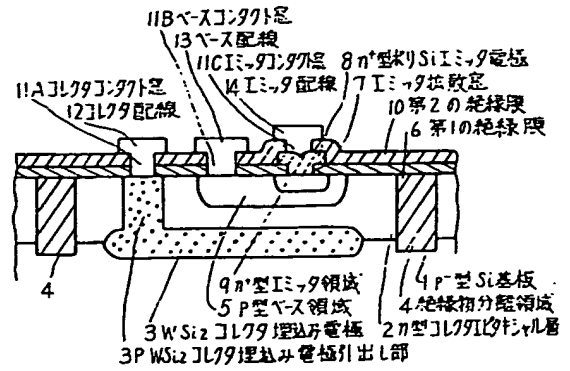
第5図は従来構造の模式側断面図  
である。

図において、

- 1 は p<sup>-</sup> 型 Si 基板、
- 2 は n 型コレクタエピタキシャル層、
- 3 は WSi<sub>2</sub> コレクタ埋込み電極、
- 3P はコレクタ埋込み電極引出し部、
- 4 は絶縁物分離領域、
- 5 は p 型ベース領域、
- 9 は n<sup>+</sup> 型エミッタ領域、
- 6 は第 1 の絶縁膜、
- 7 はエミッタ拡散窓、
- 8 は n<sup>+</sup> 型ポリ Si エミッタ電極、
- 10 は第 2 の絶縁膜、
- 11A はコレクタコンタクト窓、
- 11B はベースコンタクト窓、
- 11C はエミッタコンタクト窓、
- 12 はコレクタ配線、
- 13 はベース配線、
- 14 はエミッタ配線

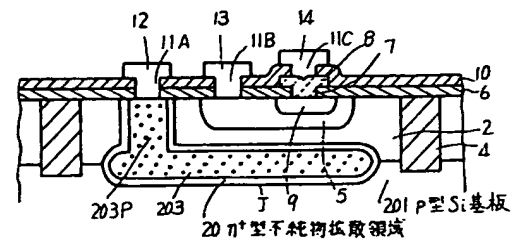
を示す。

代理人 弁理士 井桁貞一



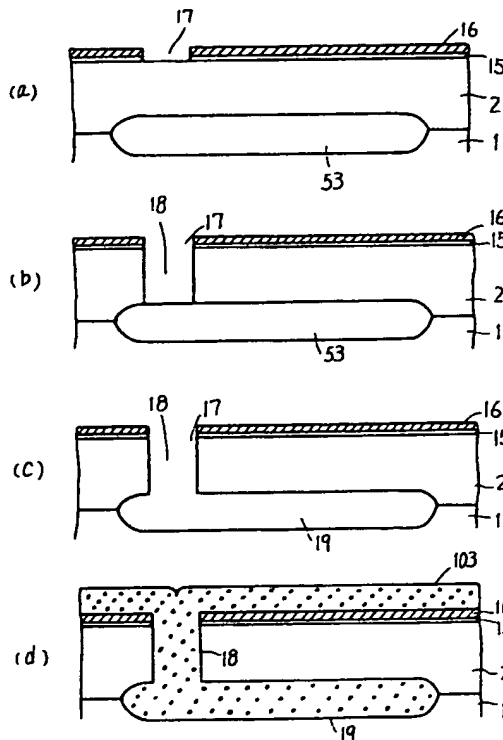
本発明の構造に係る一実施例の模式側断面図

第 1 図



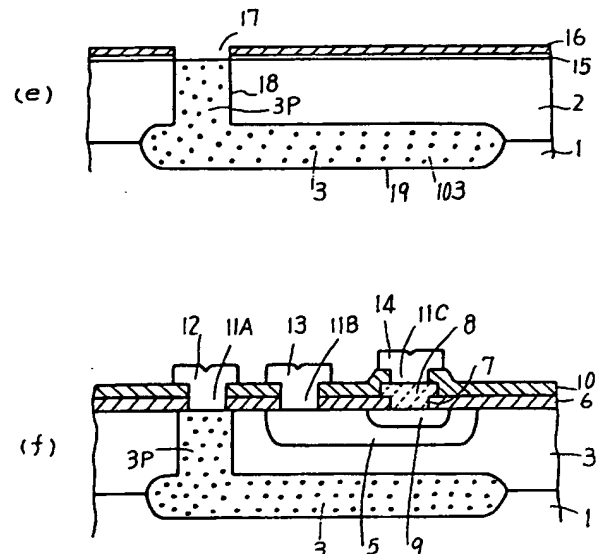
本発明の構造に係る他の実施例の模式側断面図

第 3 図



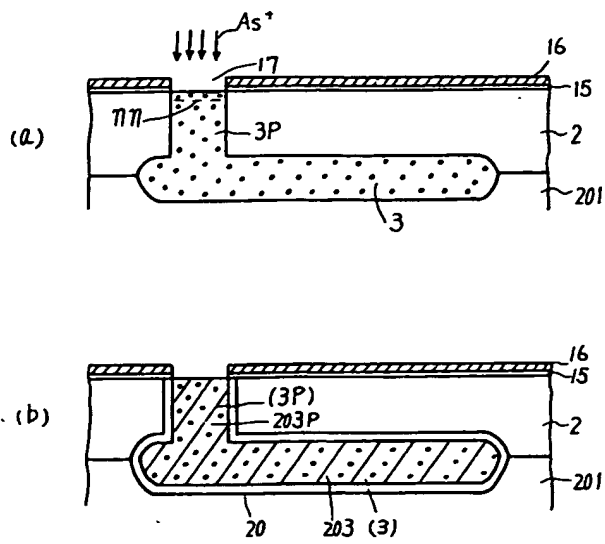
本発明の方法の一実施例の工程断面図

第 2 図 (その 1)



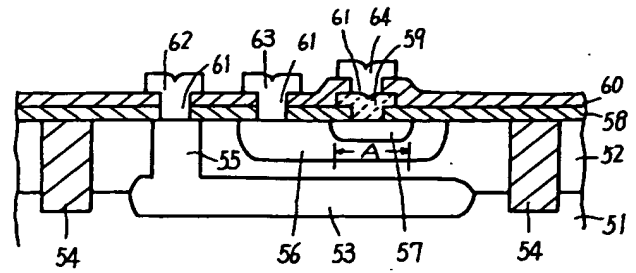
本発明の方法の一実施例の工程断面図

第 2 図 (その 2)



本発明の方法の他の実施例の工程断面図

第4図



従来構造の模式側断面図

第5図